

12/5/9 (Item 9 from file: 352)  
DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

008116081 \*\*Image available\*\*

WPI Acc No: 1990-003082/199001

**Active matrix board integrated with liquid crystal - connects wire  
through by-pass despite disconnection on cross section to inhibit linear  
defects NoAbstract Dwg 1/4**

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 1284831 | A    | 19891116 | JP 88115558 | A    | 19880512 | 199001 B |

Priority Applications (No Type Date): JP 88115558 A 19880512

Patent Details:

| Patent No  | Kind | Lan Pg | Main IPC | Filing Notes |
|------------|------|--------|----------|--------------|
| JP 1284831 | A    | 27     |          |              |

Title Terms: ACTIVE; MATRIX; BOARD; INTEGRATE; LIQUID; CRYSTAL;  
CONNECT;

WIRE; THROUGH; PASS; DISCONNECT; CROSS; SECTION; INHIBIT;  
LINEAR; DEFECT;

NOABSTRACT

Derwent Class: P81; U11; U14

International Patent Class (Additional): G02F-001/13; H01L-021/90;

H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

02987231      **\*\*Image available\*\***  
ACTIVE MATRIX SUBSTRATE

PUB. NO.:      **01-284831** [JP 1284831 A]  
PUBLISHED:      November 16, 1989 (19891116)  
INVENTOR(s):      KONDO YOICHI  
                    KATAYAMA MIKIO  
                    TANAKA HIROHISA  
                    MORIMOTO HIROSHI  
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
                    (Japan)  
APPL. NO.:      63-115558 [JP 88115558]  
FILED:          May 12, 1988 (19880512)  
INTL CLASS:      [4] G02F-001/133; H01L-021/90; H01L-021/95; H01L-027/12  
JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                    (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096  
(ELECTRONIC  
                    MATERIALS -- Glass Conductors)  
JOURNAL:          Section: P, Section No. 1001, Vol. 14, No. 61, Pg. 41,  
                    February 05, 1990 (19900205)

#### ABSTRACT

**PURPOSE:** To inhibit the generation of a linear defect to the utmost by allowing a bypass line which has been connected electrically to one wiring to intersect with the other wiring in other part than intersecting part of a data line and a scanning line which have been brought to wiring so as to be orthogonal to each other.

**CONSTITUTION:** Plural picture element electrodes 30 provided in a matrix shape on an insulating substrate 10, plural scanning lines 50 which have been brought to wiring so as to be parallel to one of the provided directions of each picture element electrode 30, and plural data lines 40 for intersecting in an insulated state with each scanning line 50 are provided in a matrix shape so that a drain electrode 21 is connected electrically to the picture element electrodes 30, respectively. In this state, each source electrode 22 is connected to the scanning line 50, and also, each gate electrode 26 is connected to the data line 40, and plural thin film transistors are formed. Also, a bypass line 51 for connecting electrically one wiring of each scanning line 50 and the data line 40 and both ends and intersecting with the other wiring is provided. In an intersecting part of this bypass line 51 and a prescribed wiring and in an intersecting part of each wiring, a laminated structure of a semiconductor film and a protective insulating film 63 is formed independently.

## ⑫ 公開特許公報(A) 平1-284831

⑤ Int. Cl. 4

識別記号

庁内整理番号

④ 公開 平成1年(1989)11月16日

G 02 F 1/133  
H 01 L 21/90  
21/95  
27/12

3 2 7

7370-2H  
W-6824-5F  
6824-5F  
A-7514-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 アクティブマトリックス基板

② 特 願 昭63-115558

② 出 願 昭63(1988)5月12日

⑦ 発 明 者 近 藤 洋 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑦ 発 明 者 片 山 幹 雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑦ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑦ 発 明 者 森 本 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑧ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
⑧ 代 理 人 弁理士 山本 秀策

## 明 細 書

## 1. 発明の名称

アクティブマトリックス基板

## 2. 特許請求の範囲

1. 絶縁性基板上にマトリクス状に配設された複数の絵素電極と、

各絵素電極の配設方向の一方に平行するように配線された複数の走査線と、

各走査線とは直交するように配線され、各走査線とは絶縁状態で交差する複数のデータ線と、

前記絵素電極にそれぞれのドレイン電極が電気的に接続されるようにマトリクス状に配設されており、それぞれのソース電極が走査線に接続されると共に、それぞれのゲート電極がデータ線に接続された複数の薄膜トランジスタと、

前記各走査線、各データ線のいずれか一方の配線と両端が電気的に接続され、他方の配線と交差するバイパス線と、

該バイパス線と所定配線との交差部、および各配線同士の交差部に、それぞれ独立して介在され

た半導体膜と保護絶縁膜との積層構造と、を具備するアクティブマトリックス基板。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多数の薄膜トランジスタ(Thin Film Transistor)が絶縁性基板上にマトリクス状に形成され、液晶等と組み合わせて、アクティブマトリクス表示等を構成するアクティブマトリクス基板に関する。

(従来の技術)

近時、液晶等を用いた大容量表示装置に、多数の薄膜トランジスタ(以下TFTと略称する)を用いたアクティブマトリクス基板が使用されている。該アクティブマトリクス基板は、第5図に示すように、液晶表示セルを構成する絶縁性基板に、多数の絵素電極81、81、…がマトリクス状に配設されており、また、各絵素電極81に隣接して多数のTFT82、82、…が、マトリクス状に配設されている。各TFT82のドレイン電極は各絵素電極81に電気的に接続されており、各TFT

T82は各絵素電極81のスイッチング素子として機能する。

絶縁性基板には、一方向に列をなす各TFT82のゲート電極に電気的に接続されるように、複数の走査線83、83、…が平行に配線されている。また、絶縁性基板には、各走査線83とは絶縁状態で直交するように、複数のデータ線84、84、…が平行に配線されている。各データ線84は、各データ線84方向に列をなす各TFT82のソース電極に電気的に接続されている。

このようなアクティブマトリックス基板は、例えば液晶層が積層されて、液晶表示装置として使用される。この場合、該アクティブマトリックス基板の各TFTは線順次方式にて駆動され、各走査線83には走査信号が入力されると共に、各データ線84にはデータ信号が入力される。そして、走査信号とデータ信号の両者が入力されたTFT82が動作して該TFT82に接続された絵素電極81に電圧が印加される。これにより、液晶層における該絵素電極81に対向する部分が電気光学的に動作

して、所定のマトリックス表示が得られる。

(発明が解決しようとする課題)

このようなアクティブマトリックス基板では、通常、走査線83およびデータ線84は、絶縁性基板上に積層された導電性金属膜にて構成される。そして、走査線83とデータ線84との各交点に対応して配設された各TFT82は、前述のように線順次方式で駆動されるため、各走査線83と各データ線84とのリークを防止するために、相互に絶縁状態とされている。

走査線83とデータ線84との交差部において、両者がショートすることを防止するために、各交差部には、アモルファスシリコン(以下a-Siと略称する)半導体膜と保護絶縁膜を介在させて、走査線83とデータ線84との間を確実に絶縁している。a-Si半導体膜および保護絶縁膜は、絶縁性基板上に形成された金属膜製のデータ線84における走査線83との交差部上に順次積層され、その保護絶縁膜上に例えば金属膜製の走査線83が積層されている。従って、走査線83は、データ線84と

の交差部がa-Si膜および保護絶縁膜の膜厚分だけ盛り上がった状態となり、この交差部を除いた部分とは段差が形成される。そして、この段差部にて走査線83を構成する導電性金属膜が剥がれて断線するおそれがある。

このような断線を防止するために、絶縁性基板上に走査線83やデータ線84を形成する金属膜、およびa-Si膜、保護絶縁膜を形成する際に、種々の工夫がなされている。しかし、走査線83の断線を完全に防止することができない。そして、このような断線は、アクティブマトリックス表示の際に表示部に線状欠陥として表れ、表示性能を著しく低下させる。このような断線を有するアクティブマトリックス基板は、アクティブマトリックス表示に使用できず、該アクティブマトリックス基板の歩留りが著しく低下する。

本発明は、上記従来の問題を解決するものであり、その目的は、アクティブマトリックス表示の際に、線状欠陥等の発生を極力抑制することができ、従って、アクティブマトリックス表示の性

能に優れたアクティブマトリックス基板を提供することにある。

(課題を解決するための手段)

本発明のアクティブマトリックス基板は、絶縁性基板上にマトリックス状に配設された複数の絵素電極と、各絵素電極の配設方向の一方に平行するように配線された複数の走査線と、各走査線とは直交するように配線され、各走査線とは絶縁状態で交差する複数のデータ線と、前記絵素電極にそれぞれのドレイン電極が電気的に接続されるようにマトリックス状に配設されており、それぞれのソース電極が走査線に接続されると共に、それぞれのゲート電極がデータ線に接続された複数の薄膜トランジスタと、前記各走査線、各データ線のいずれか一方の配線と両端が電気的に接続され、他方の配線と交差するバイパス線と、該バイパス線と所定配線との交差部、および各配線同士の交差部に、それぞれ独立して介在された半導体膜と保護絶縁膜との積層構造と、を具備してなり、そのことにより上記目的が達成される。

## (実施例)

以下に本発明を実施例について説明する。

本発明のアクティブマトリックス基板は、第1図および第2図に示すように、透明な絶縁性のガラス基板10上に、例えばITO(Indium-Tin-Oxide)膜で形成された矩形状の多数の絵素電極30が、マトリックス状に配設されており、各絵素電極30の一部は、その各隅部近傍に配設された薄膜トランジスタ(TFT)20のドレイン電極21を構成している。

各TFT20は、ガラス基板10上に、各絵素電極30のドレイン電極21を構成する部分に若干の間隙をあけて配設された例えばITO膜製のソース電極22を有する。該ソース電極22は後述のデータ線40の一部を構成する。該ソース電極22上およびドレイン電極21上には、 $n^+$ 型のアモルファスシリコン膜(以下、 $a-Si(n^+)$ 膜と略称する)23が積層されており、該 $a-Si(n^+)$ 膜23上、およびソース電極22とドレイン電極21との間のガラス基板10上に真性アモルファスシリコン膜(以

下、 $a-Si(i)$ 膜と略称する)24が、断面凹状に積層されている。

該 $a-Si(i)$ 膜24上には、例えば窒化シリコン( $SiN_x$ )にて構成されたゲート絶縁膜25が積層されている。該ゲート絶縁膜25上面には、断面V字状の凹溝が形成されている。そして、該ゲート絶縁膜25上にゲートメタルであるTi膜にて構成されたゲート電極26が積層されて、TFT20が構成されている。

各TFT20におけるITO膜のソース電極22は、ガラス基板10上に適当な間隔をあけて相互に平行に配線されたITO膜でなる複数のデータ線40、40、…の1本にそれぞれ一体となっている。絶縁性基板10上には、各データ線40とはそれぞれ直交して格子状となるように複数の走査線50が平行に配線されている。各走査線50は、各TFT20のゲート電極26と同様に、Ti膜にて形成されており、1本の走査線50は、その配線方向に並設された各TFT20のゲート電極26にそれぞれ一体となっている。

各走査線50とデータ線40とのそれぞれの交差部には、第3図に示すように、それぞれが相互に絶縁状態となるように、データ線40上に、 $a-Si(n^+)$ 膜61、 $a-Si(i)$ 膜62および $SiN_x$ の保護絶縁膜63にて構成された積層構造Aが、介在されている。

各走査線50には、該走査線50と交差する各データ線40とは絶縁状態で交差するように、バイパス線51の各端部が接続されている。該バイパス線51とデータ線40との交差部には、第3図に示す各走査線50とデータ線との交差部と同様に、データ線40上に、 $a-Si(n^+)$ 膜61、 $a-Si(i)$ 膜62、および $SiN_x$ の保護絶縁膜63にて構成された積層構造Bが、介在されている。そして、前述した各走査線50と各データ線40との交差部における $a-Si(n^+)$ 膜61、 $a-Si(i)$ 膜62、および $SiN_x$ の保護絶縁膜63の積層構造Aと、該バイパス線51と各データ線40との交差部における $a-Si(n^+)$ 膜61、 $a-Si(i)$ 膜62、および $SiN_x$ の保護絶縁膜63の積層構造Bは、

それぞれ分離されて独立状態となっている。

このような構成のアクティブマトリックス基板は、次のように製造される。透明な絶縁性ガラス基板10上に、1000Åの膜厚のITO膜をスパッタリングにより形成する。次いで、該ITO膜上にプラズマCVD法により450Åの膜厚の $a-Si(n^+)$ を積層した後に、これら2層を第4図に実線で示すように、絵素電極30、データ線40、およびTFT20のソース電極22とドレイン電極21に相当する形状にホトリソグラフィ法によりパターンニングする。

このような状態で、プラズマCVD法により300Åの膜厚の $a-Si(n^+)$ 、4800Åの膜厚の $SiN_x$ 膜を、ガラス基板10全面上に連続的に形成した後に、第4図に二点鎖線で示すように、TFT20に相当する部分およびデータ線40と走査線50との交差部の積層構造A、さらにはデータ線40とバイパス線51との交差部の積層構造Bに相当する部分がそれぞれ独立して残るように、 $SiN_x$ 膜、 $a-Si(i)$ 膜および $a-Si(n^+)$ 膜をエ

ッチングする。その後、ガラス基板10の全面にゲート金属であるT i 膜を3000Åの膜厚で形成し、該ゲート金属であるT i 膜を、第4図に破線で示すように、T F T 20におけるゲート電極26、走査線50、およびバイパス線51に相当する形状にパターンニングする。これにより、前述した構成を有する本発明のアクティブマトリックス基板が製造される。

このような本発明のアクティブマトリックス基板は、例えば、液晶層が積層されて、液晶表示装置として使用される。該アクティブマトリックス基板の各T F T 20は、線順次駆動方式にて駆動され、各走査線50から入力される走査信号および各データ線40から入力されるデータ信号にて各T F T 20が動作し、該T F T 20に接続された絵素電極30に電力が印加される。これにより、該絵素電極30に対向する液晶層部分が電気光学的に動作して、所定のマトリックス表示が得られる。

(発明の効果)

本発明のアクティブマトリックス基板は、この

ように、相互に直交するように配線されたデータ線と走査線が、それぞれの交差部以外に、いずれか一方の配線とは電気的に接続されたバイパス線が他方の配線と交差しているため、データ線と走査線との交差部において、いずれかの配線を構成する金属膜が剥がれて断線しても、その配線はバイパス線により電気的に接続されている。しかも、バイパス線と所定の配線との交差部の半導体膜と保護絶縁膜との積層構造と、各配線同士の交差部の半導体膜と保護絶縁膜との積層構造とが、それぞれ独立しているため、それぞれの交差部における半導体膜、保護絶縁膜のいずれかの剝離によって生じる断線の確率が著しく抑制される。従って、本発明のアクティブマトリックス基板によりアクティブマトリックス表示する際に、線状欠陥の発生を極力抑制することができ、該アクティブマトリックス基板の歩留りは著しく向上する。

#### 4. 図面の簡単な説明

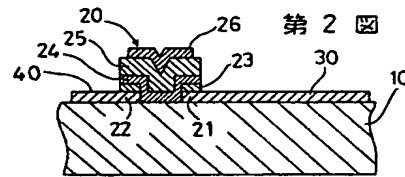
第1図は本発明のアクティブマトリックス基板の要部平面図、第2図は第1図のⅡ-Ⅱ線におけ

る断面図、第3図は第1図のⅢ-Ⅲにおける断面図、第4図は本発明のアクティブマトリックス基板の製造工程を説明するための要部平面図、第5図は従来のアクティブマトリックス基板を模式的に示す平面図である。

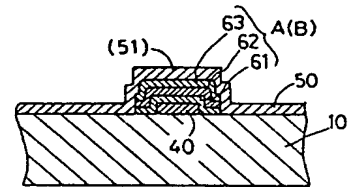
10…ガラス基板、20…T F T、21…ドレイン電極、22…ソース電極、23、61…a-S i ( n<sup>+</sup> ) 膜、24、62…a-S i ( i ) 膜、25…ゲート絶縁膜、26…ゲート電極、30…絵素電極、40…データ線、50…走査線、51…バイパス線、63…保護絶縁膜、A、B…積層構造。

以 上

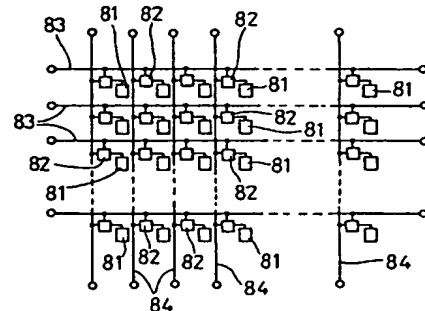
出願人 シャープ株式会社  
代理人 弁理士 山本秀策



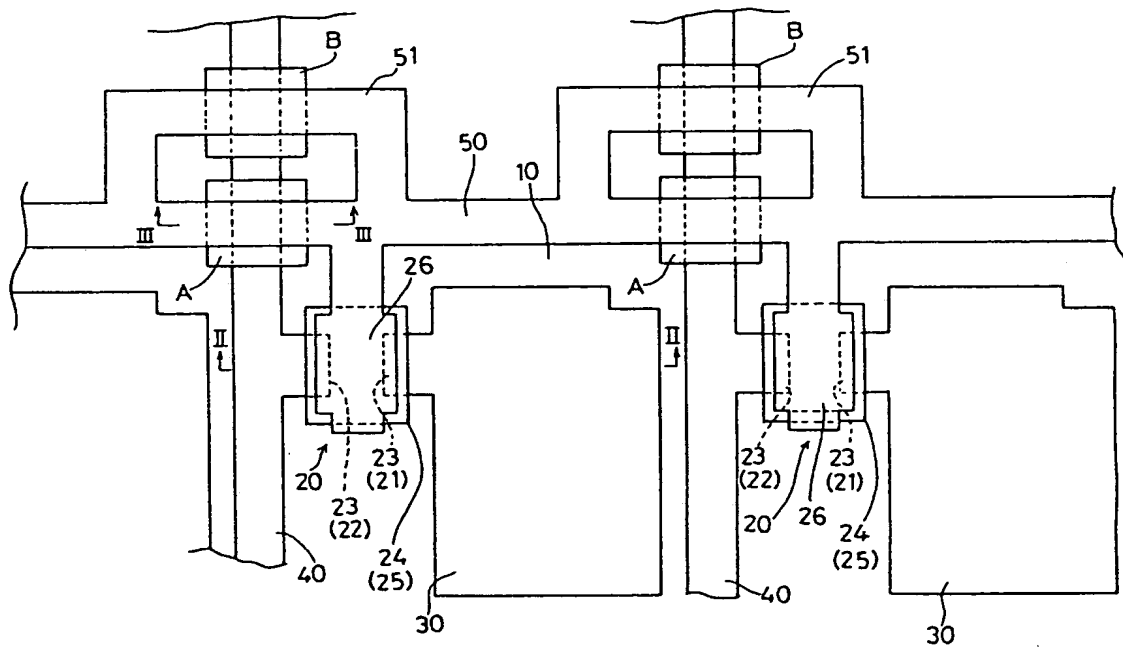
第3図



第5図



第 1 図



第 4 図

